

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-203898

(43)Date of publication of application : 19.07.2002

(51)Int.Cl. H01L 21/768  
H01L 21/28  
H01L 21/3065  
H01L 21/316  
H01L 21/3213

(21)Application number : 2000-401380

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.12.2000

(72)Inventor : HOSAKA MASAYA

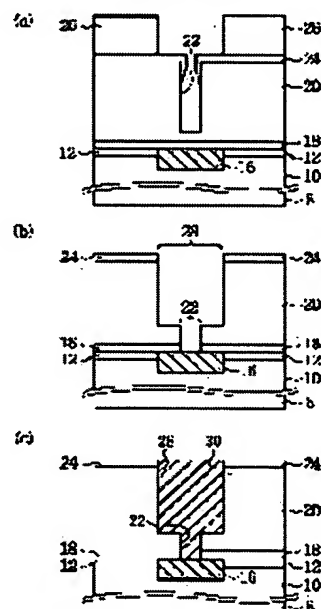
## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a semiconductor device capable of forming a desired opening shape in forming an interconnection by a dual damascene method and providing a better contact between the interconnections.

**SOLUTION:** The method comprises the steps of forming an opening 22 on a first insulation film in which a first interconnection 16 is buried, forming a second insulation film 24 to cover at least a part of the top portion of the opening, forming a groove 28 connected to the first interconnection via the opening in the first and second insulation film by etching the first and second insulation film including the opening and forming a second interconnection 30 connected to the first interconnection in the groove.

本発明の第1実施形態による半導体装置の製造方法を示す断面図(その2)



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-203898

(P2002-203898A)

(43) 公開日 平成14年7月19日 (2002.7.19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト <sup>*</sup> (参考)
H 0 1 L	21/768	H 0 1 L 21/28	L 4 M 1 0 4
	21/28	21/316	X 5 F 0 0 4
	21/3065		M 5 F 0 3 3
	21/316	21/90	A 5 F 0 5 8
		21/302	A
審査請求 未請求 請求項の数 5 O L (全 9 頁) 最終頁に続く			

(21) 出願番号 特願2000-401380 (P2000-401380)

(22) 出願日 平成12年12月28日 (2000. 12. 28)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 保坂 真弥

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100087479

弁理士 北野 好人 (外1名)

最終頁に続く

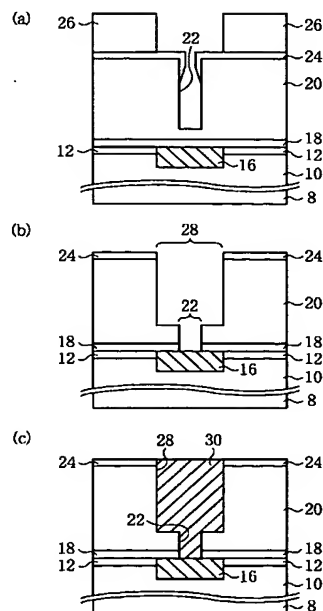
## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 デュアルダマシン法により配線を形成する際に、所望の形状の開口部を形成することができ、また、配線間で良好なコンタクトを得ることができる半導体装置の製造方法を提供する。

【解決手段】 第1の配線16が埋め込まれた第1の絶縁膜20に、開口部22を形成する工程と、開口部の上部の少なくとも一部を覆うように第2の絶縁膜24を形成する工程と、開口部を含む領域の第2の絶縁膜及び第1の絶縁膜をエッチングし、第1の絶縁膜及び第2の絶縁膜に、開口部を介して第1の配線に接続される溝28を形成する工程と、溝内に第1の配線に接続される第2の配線30を形成する工程とを有している。

本発明の第1実施形態による半導体装置の製造方法を示す断面図 (その2)



## 【特許請求の範囲】

【請求項1】 第1の配線が埋め込まれた第1の絶縁膜に、開口部を形成する工程と、

前記開口部の上部の少なくとも一部を覆うように第2の絶縁膜を形成する工程と、

前記開口部を含む領域の前記第2の絶縁膜及び前記第1の絶縁膜をエッチングし、前記第1の絶縁膜及び前記第2の絶縁膜に、前記開口部を介して前記第1の配線に接続される溝を形成する工程と、

前記溝内に前記第1の配線に接続される第2の配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記第2の絶縁膜を形成する工程では、前記開口部の上部の径が狭くなるように前記第2の絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1又は2記載の半導体装置の製造方法において、

前記第2の絶縁膜を形成する工程では、前記第1の絶縁膜に比べてエッチング速度の遅い前記第2の絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1乃至3のいずれか1項に記載の半導体装置の製造方法において、

前記開口部を形成する工程では、前記開口部と前記第1の配線との間に前記第1の絶縁膜が残るように前記開口部を形成することを特徴とする半導体装置の製造方法。

【請求項5】 請求項1記載の半導体装置の製造方法において、

前記第2の絶縁膜を形成する工程では、前記開口部の上部を覆い、少なくとも前記開口部の底部を埋め込まないように前記第2の絶縁膜を形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に係り、特にデュアルダマシン法により配線を形成する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 近時、ULSI (Ultra Large Scale Integrated Circuit、超大規模集積回路) 等において、ダマシン法による配線形成技術が注目されている。

【0003】 ダマシン法は、層間絶縁膜に溝を形成し、この後、溝内に埋め込むように金属膜を形成し、この後、CMP (Chemical Mechanical Polishing、化学的機械的研磨) 法により層間絶縁膜上の余分な金属膜を除去することにより、溝内に金属配線を埋め込む技術である。

【0004】 ダマシン法によれば、Cu等のエッチングされにくい金属を半導体装置の配線材料として用いるこ

とが可能となる。そして、Cu等の低抵抗金属を半導体装置の配線材料として用いれば、半導体装置の動作速度の向上に寄与することができる。

【0005】 ダマシン法には、ビアホール内に金属を埋め込んで導体プラグを形成する工程と、溝内に金属を埋め込んで配線を形成する工程とがそれぞれ別個であるシングルダマシン法と、層間絶縁膜にビアホールと溝とを一体に形成し、この後、一体形成されたビアホールと溝とに金属を一体に埋め込むデュアルダマシン法とがある。デュアルダマシン法は、プロセス工数を削減することができるため、注目を集めている配線形成方法である。

【0006】 デュアルダマシン法には、ビアホールを形成してから溝を形成するビアファースト法と、溝 (トレンチ) を形成してからビアホールを形成するトレンチファースト法とがある。

【0007】 トレンチファースト法は、溝の深さが浅い場合は特段の問題は生じないが、溝の深さが深くなると、ビアホールを形成するためのフォトリソグラフィにおいて解像度の劣化が生じてしまう。このため、現在では、ビアホールを形成してから溝を形成するビアファースト法が主流になりつつある。

【0008】 ビアファースト法を用いた従来の半導体装置の製造方法を図7を用いて説明する。図7は、従来の半導体装置の製造方法を示す断面図である。

【0009】 まず、図7(a)に示すように、トランジスタ等 (図示せず) が形成された半導体基板108上に、配線116が埋め込まれた層間絶縁膜120を形成する。

【0010】 次に、層間絶縁膜120に、配線116に達する開口部122を形成する。

【0011】 次に、層間絶縁膜120上に、溝128 (図7(b)参照) を形成するためのフォトレジストマスク126を形成し、フォトレジストマスク126をマスクとして層間絶縁膜120をエッチングする。

【0012】 このようにして層間絶縁膜120をエッチングすると、開口部122を介して配線116に接続される溝128が形成される。

【0013】 この後、溝128内及び開口部122内に、例えばAlより成る金属を埋め込めば、開口部122を介して配線116に接続される配線130 (図8参照) を形成することができる。

## 【0014】

【発明が解決しようとする課題】 しかしながら、従来の半導体装置の製造方法では、図7(b)に示すように、層間絶縁膜120に溝128を形成する際に、開口部122の内壁の層間絶縁膜120がエッチングされてしまい、開口部122の径が上方に向かって広がってしまった。このため、従来は、開口部122の径を所望の径に設定することが困難であった。

【0015】図8は、従来の製造方法により製造された半導体装置の断面を示す写真である。図8に示すように、開口部122の径が上方に向かって広がってしまっている。

【0016】また、従来の半導体装置の製造方法では、溝128を形成した後に、Ar等を用いた逆スパッタにより配線116の表面を洗浄しようとする、開口部122の内壁の層間絶縁膜120がエッチングされてしまい、配線116の表面に層間絶縁膜120の材料が堆積されてしまっていた。層間絶縁膜120の材料は絶縁物であるため、配線間で良好なコンタクトを得ることが困難となっていた。

【0017】本発明の目的は、デュアルダマシン法により配線を形成する際に、所望の形状の開口部を形成することができ、また、配線間で良好なコンタクトを得ることができる半導体装置の製造方法を提供することにある。

#### 【0018】

【課題を解決するための手段】上記目的は、第1の配線が埋め込まれた第1の絶縁膜に、開口部を形成する工程と、前記開口部の上部の少なくとも一部を覆うように第2の絶縁膜を形成する工程と、前記開口部を含む領域の前記第2の絶縁膜及び前記第1の絶縁膜をエッチングし、前記第1の絶縁膜及び前記第2の絶縁膜に、前記開口部を介して前記第1の配線に接続される溝を形成する工程と、前記溝内に前記第1の配線に接続される第2の配線を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、開口部を所望の径に設定することができ、第1の配線と第2の配線との間のコンタクトが良好な半導体装置を製造することができる。

#### 【0019】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態による半導体装置の製造方法を図1及び図2を用いて説明する。図1及び図2は、本実施形態による半導体装置の製造方法を示す断面図である。

【0020】まず、図1(a)に示すように、トランジスタ等(図示せず)が形成された半導体基板8上の全面に、CVD(Chemical Vapor Deposition、化学気相堆積)法により、フッ素を含む二酸化シリコンであるFSG(Fluoride Silicate Glass)より成る膜厚300nmの層間絶縁膜10を形成する。

【0021】次に、全面に、プラズマCVD法により、膜厚100nmのシリコン酸化膜12を形成する。この後、層間絶縁膜10及びシリコン酸化膜12に、配線を埋め込むための溝14を形成する。この後、ダマシン法により、溝14内に、Alより成る配線16を埋め込む。

【0022】次に、配線16が埋め込まれたシリコン酸化膜12上に、不純物がドーピングされていない二酸化シリ

コンであるUSG(Un-doped Silicate Glass)より成る膜厚100nmの層間絶縁膜18を形成する。

【0023】次に、層間絶縁膜18上に、FSGより成る層間絶縁膜20を形成する。この後、CMP(Chemical Mechanical Polishing、化学的機械的研磨)法により、層間絶縁膜20の表面を平坦化する。これにより、層間絶縁膜20の膜厚が1.4μm程度となる。

【0024】次に、図1(b)に示すように、フォトリソグラフィ技術を用い、RIE(Reactive Ion Etching、反応性イオンエッチング)法により、0.3μm径の開口部22を形成する。開口部22は、層間絶縁膜20の表面から例えば約800nmの深さまで形成する。これにより、開口部22の下方には、厚さ約600nmの層間絶縁膜20が残る。このように開口部22の下方に層間絶縁膜20を残しておくのは、この後の熱処理工程や溝28を形成する際のエッチング工程により配線16にダメージが加わるのを防止するためである。

【0025】次に、400℃、30分の熱処理を行い、層間絶縁膜20中から水分を除去する。

【0026】次に、図1(c)に示すように、プラズマCVD法により、膜厚100nmのシリコン酸化膜24を形成する。成膜条件は、例えば、SiH<sub>4</sub>ガス流量を300sccmとし、N<sub>2</sub>Oガス流量を9500sccmとし、N<sub>2</sub>ガス流量を1500sccmとし、成膜室内の圧力を2.4Torrとし、パワーを13.56MHz、1100Wとし、成膜室内の温度を400℃とすることができる。このような条件で成膜すると、開口部22の上部で開口部22の径が狭くなるようにシリコン酸化膜24が形成される。シリコン酸化膜24のエッチング速度は、FSGより成る層間絶縁膜20よりエッチング速度が遅い。このようなエッチング速度の遅いシリコン酸化膜24を形成する理由は、後述する。

【0027】次に、図2(a)に示すように、溝28(図2(b)参照)を形成するためのフォトレジストマスク26を形成する。

【0028】次に、図2(b)に示すように、フォトレジストマスク26をマスクとして、RIE法により、シリコン酸化膜24及び層間絶縁膜20を、シリコン酸化膜24の表面から1μm程度の深さまでエッチングする。この際、開口部22の下方の層間絶縁膜20、18もエッチングされる。これにより、シリコン酸化膜24及び層間絶縁膜20、18に、開口部22を介して配線16に達する溝28が形成される。

【0029】次に、図2(c)に示すように、2ステップリフロー法により、配線30を形成するためのAl膜(図示せず)を形成する。即ち、まず、スパッタ法により膜厚25nmのNbより成る下地膜(図示せず)を形成する。次に、25℃で、膜厚400nmのAl膜を形成する。この後、400℃で、膜厚1.2μmのAl膜を形成する。こうして、配線30を形成するためのAl

膜が形成される。

【0030】次に、CMP法により、シリコン酸化膜24の表面が露出するまでA1膜を研磨する。こうして、溝28内に、開口部22を介して配線16に接続される配線30が埋め込まれる。

【0031】本実施形態による半導体装置の製造方法は、層間絶縁膜20上に、開口部22の上部の径が狭くなるようにシリコン酸化膜24を形成し、この後、シリコン酸化膜24及び層間絶縁膜20に溝28を形成することに主な特徴がある。

【0032】従来の半導体装置の製造方法では、図7(b)に示すように、層間絶縁膜120に溝128を形成する際に、開口部122の内壁がエッチングされてしまい、開口部122の径が上方に向かって広がってしまっていた。このため、従来は、所望の径の開口部122を形成することが困難であった。そして、従来では、Ar等を用いた逆スパッタにより配線116の表面を洗浄しようとすると、開口部122の内壁の層間絶縁膜120がエッチングされてしまい、配線116の表面に層間絶縁膜120の材料である堆積してしまっていた。層間絶縁膜120の材料は絶縁物であるため、配線間で良好なコンタクトを得ることが困難となっていた。

【0033】これに対し、本実施形態によれば、層間絶縁膜20上に、開口部22の上部の径が狭くなるようにシリコン酸化膜24を形成し、この後、シリコン酸化膜24及び層間絶縁膜20に溝28を形成するので、開口部22の内壁がエッチングされてしまうのを抑制することができる。殊に、本実施形態で用いられているシリコン酸化膜24は、FSGより成る層間絶縁膜20よりエッチング速度が遅いものであるため、開口部22の内壁がエッチングされてしまうのをより効果的に防止することができる。従って、本実施形態によれば、配線16に達する開口部22を所望の径に設定することができる。

【0034】そして、本実施形態によれば、開口部22の径が上方に向かって広がってしまうのを抑制することができるため、Ar等を用いた逆スパッタにより配線16の表面を洗浄しても、開口部22の内壁の層間絶縁膜20がエッチングされてしまうのを抑制することができる。従って、本実施形態によれば、配線間で良好なコンタクトを得ることができる。

【0035】図3は、本実施形態により製造された半導体装置の断面を示す写真である。

【0036】図3に示すように、本実施形態により製造された半導体装置では、図8に示す従来の半導体装置と比べて、開口部22の径の広がりが抑制されている。

【0037】このように、本実施形態によれば、開口部22の径が上方に向かって広がってしまうのを抑制することができ、所望の径の開口部22を有する半導体装置を提供することができる。

【0038】図4は、本実施形態による半導体装置の配

線間のコンタクト抵抗を示すグラフである。実施例は、本実施形態により製造された半導体装置の配線間のコンタクト抵抗を示しており、比較例は、図7に示す従来の製造方法により製造された半導体装置の配線間のコンタクト抵抗を示している。図4の横軸はコンタクト抵抗の値を示しており、図4の縦軸は累積確率を示している。

【0039】図4から分かるように、実施例、即ち本実施形態により製造された半導体装置では、比較例、即ち従来の製造方法により製造された半導体装置に比べて、格段にコンタクト抵抗が低減されている。

【0040】このように、本実施形態によれば、配線16、30間のコンタクト抵抗を格段に低減することができる。

【0041】〔第2実施形態〕本発明の第2実施形態による半導体装置の製造方法を図5及び図6を用いて説明する。図5及び図6は、本実施形態による半導体装置の製造方法を示す工程断面図である。図1乃至図4に示す第1実施形態による半導体装置の製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0042】まず、層間絶縁膜18を形成する工程までは、図1(a)を用いて説明した第1実施形態による半導体装置の製造方法と同様であるので説明を省略する。

【0043】次に、図5(a)に示すように、層間絶縁膜18上に、FSGより成る層間絶縁膜20aを形成する。この後、CMP法により、層間絶縁膜20aの表面を平坦化する。これにより、層間絶縁膜20aの膜厚が600nm程度となる。

【0044】次に、図5(b)に示すように、フォトリソグラフィ技術を用い、RIE法により、配線16に達する0.3μm径の開口部22aを形成する。

【0045】なお、ここでは、開口部22aを配線16に達するように形成したが、必ずしも配線16に達するように開口部22aを形成しなくてもよい。例えば、図5(b)に示す工程では、開口部22aを層間絶縁膜18に達するように形成しておき、図6(b)に示す工程で開口部22aが配線16に達するようにしてもよい。

【0046】次に、400℃、30分の熱処理を行い、層間絶縁膜20a中から水分を除去する。

【0047】次に、図5(c)に示すように、プラズマCVD法により、膜厚800nmのFSGより成る層間絶縁膜20bを形成する。成膜条件は、例えば、SiH<sub>4</sub>ガス流量を30sccmとし、SiF<sub>4</sub>ガス流量を80sccmとし、O<sub>2</sub>ガス流量を150sccmとし、Arガス流量を30sccmとし、成膜室内の圧力を5mTorrとし、パワーを誘導プラズマ側4kW、ウェハ側1.5kWとすることができる。このような条件で成膜すると、開口部22aの上方が層間絶縁膜20bにより覆われる。なお、層間絶縁膜20bが開口部22aの下方面で埋め込まれてしまうと、配線30a(図6

(c) 参照) と配線 16 とを接続することができなくなってしまうので、開口部 22a の下部までもが層間絶縁膜 20b で埋め込まれないような成膜条件に設定することが重要である。

【0048】次に、図 6 (a) に示すように、全面に、プラズマ CVD 法により、膜厚 100 nm のシリコン酸化膜 24a を形成する。

【0049】次に、溝 28a (図 6 (b) 参照) を形成するためのフォトリソマスク 26 を形成する。

【0050】次に、図 6 (b) に示すように、フォトリソマスク 26 をマスクとして、RIE 法により、配線 30a を埋め込むための深さ 1 μm の溝 28a を形成する。こうして、シリコン酸化膜 24a、及び層間絶縁膜 20b、20a、18 に、開口部 22a を介して配線 16 に接続される溝 28a を形成する。

【0051】この後の図 6 (c) に示す本実施形態による半導体装置の製造方法は、図 2 (c) に示す第 1 実施形態による半導体装置の製造方法と同様であるので説明を省略する。

【0052】こうして、本実施形態による半導体装置が製造される。

【0053】本実施形態による半導体装置の製造方法は、層間絶縁膜 20a に配線 16 に達する開口部 22a を形成し、この後、層間絶縁膜 20a 上に、開口部 22a の上方を覆うように層間絶縁膜 20b を形成し、この後、層間絶縁膜 20a、20b に開口部 22a を介して配線 16 に達する溝 28a を形成することに主な特徴がある。

【0054】本実施形態によれば、予め層間絶縁膜 20a に開口部 22a を形成しておくので、層間絶縁膜 20a、20b に溝 28a を形成すると、溝 28a が開口部 22a と連続する。本実施形態によれば、溝 28a を形成する際に、開口部 22a の内壁がエッチングされないため、開口部 22a の形状を所望の形状に設定することができる。

【0055】従って、本実施形態によれば、第 1 実施形態と同様に、配線間のコンタクトが良好な半導体装置を製造することができる。

【0056】〔変形実施形態〕本発明は上記実施形態に限らず種々の変形が可能である。

【0057】例えば、上記実施形態では、配線の材料として Al を用いる場合を例に説明したが、配線の材料は Al に限定されるものではない。例えば、配線の材料として Cu 等を用いる場合にも適用することができる。

【0058】また、上記実施形態では、本発明を半導体装置の製造方法に適用する場合を例に説明したが、本発明は、多層配線を有するあらゆる装置の製造方法に適用

することが可能である。

【0059】

【発明の効果】以上の通り、本発明によれば、開口部の径が上方に向かって広がってしまうのを抑制することができるため、Ar 等を用いた逆スパッタにより配線の表面を洗浄しても、開口部の内壁の層間絶縁膜がエッチングされてしまうのを抑制することができる。従って、本発明によれば、配線間で良好なコンタクトを得ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態による半導体装置の製造方法を示す断面図 (その 1) である。

【図 2】本発明の第 1 実施形態による半導体装置の製造方法を示す断面図 (その 2) である。

【図 3】本発明の第 1 実施形態により製造された半導体装置の断面を示す写真である。

【図 4】本発明の第 1 実施形態による半導体装置の配線間のコンタクト抵抗を示すグラフである。

【図 5】本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図 (その 1) である。

【図 6】本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図 (その 2) である。

【図 7】従来の半導体装置の製造方法を示す工程断面図である。

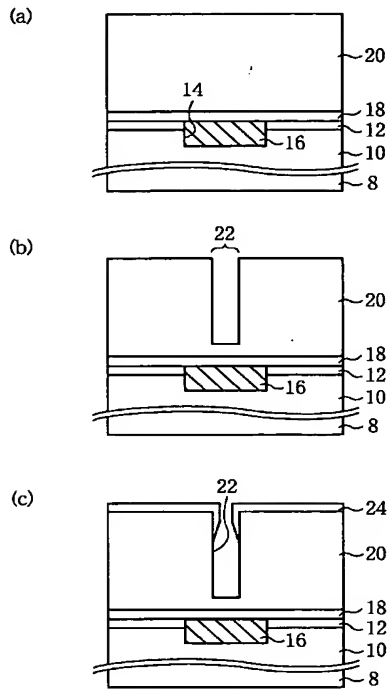
【図 8】従来の製造方法により製造された半導体装置の断面を示す写真である。

【符号の説明】

8…半導体基板  
10…層間絶縁膜  
12…シリコン酸化膜  
14…溝  
16…配線  
18…層間絶縁膜  
20、20a、20b…層間絶縁膜  
22、22a…開口部  
24、24a…シリコン酸化膜  
26…フォトリソマスク  
28、28a…溝  
30、30a…配線  
108…半導体基板  
116…配線  
120…層間絶縁膜  
122…開口部  
126…フォトリソマスク  
128…溝  
130…配線

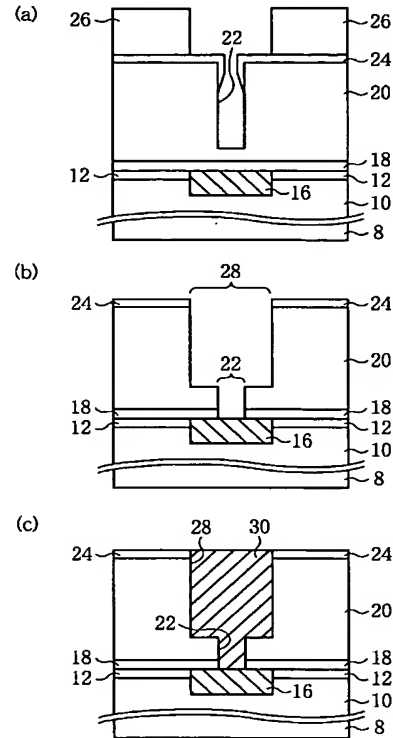
【図 1】

本発明の第1実施形態による半導体装置の製造方法を示す  
断面図（その1）



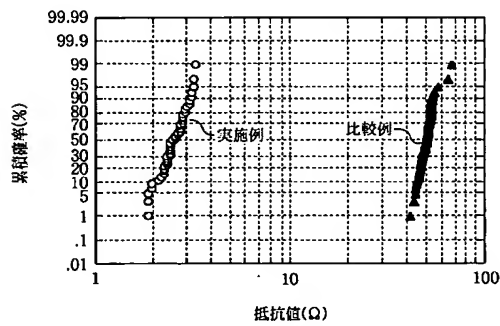
【図 2】

本発明の第1実施形態による半導体装置の製造方法を示す  
断面図（その2）



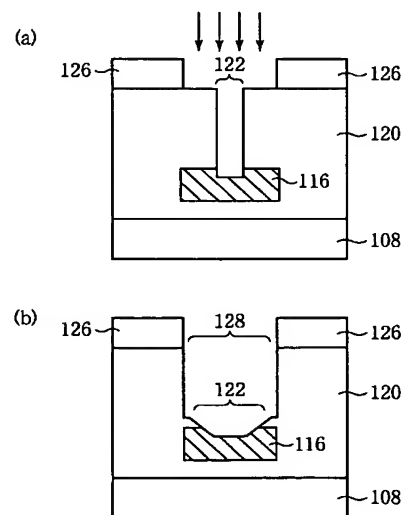
【図 4】

本発明の第1実施形態による半導体装置の配線間の  
コンタクト抵抗を示すグラフ



【図 7】

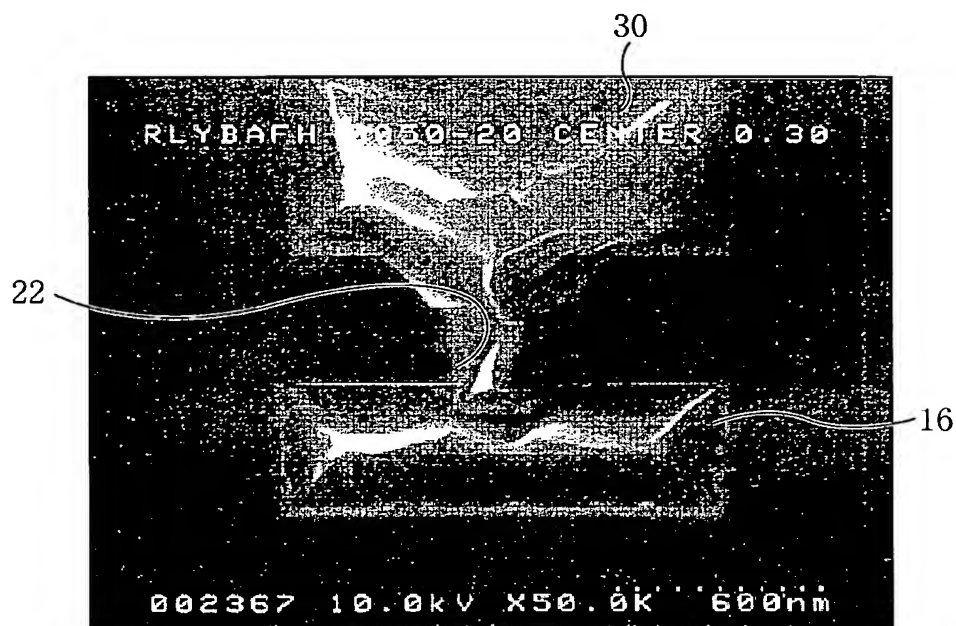
従来の半導体装置の製造方法を示す工程断面図





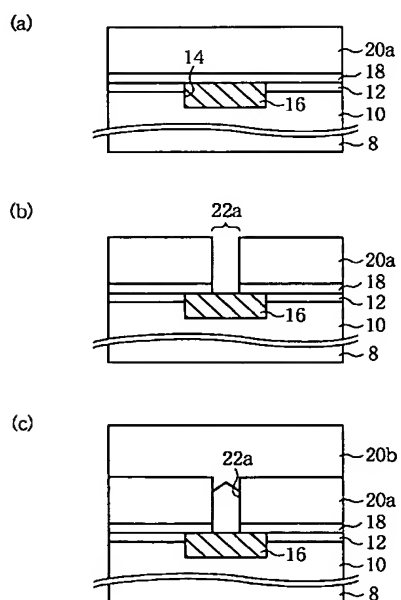
【図3】

本発明の第1実施形態により製造された半導体装置の断面を示す写真



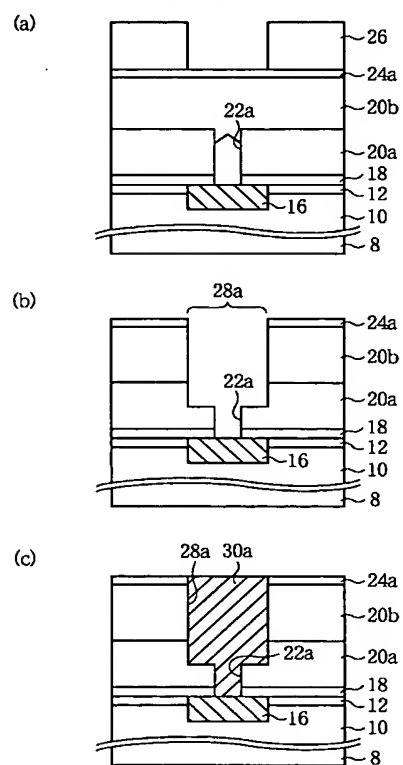
【図5】

本発明の第2実施形態による半導体装置の製造方法を示す  
工程断面図（その1）



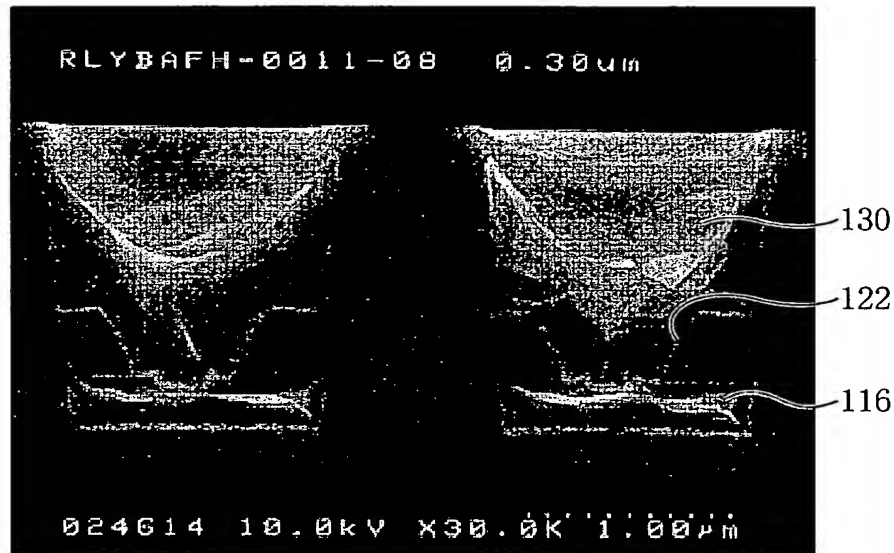
【図 6】

本発明の第2実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



【図8】

従来の製造方法により製造された半導体装置の  
断面を示す写真



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
H01L 21/3213

識別記号

F I  
H01L 21/88  
21/90

ターマコード\* (参考)

D  
C

F ターム (参考) 4M104 AA01 BB04 CC01 DD04 DD08  
DD16 DD19 DD22 DD37 DD75  
FF13 FF17 FF22 GG13 HH14  
HH15  
5F004 BA04 DB03 EB01  
5F033 HH07 HH08 HH11 JJ01 JJ07  
JJ08 JJ11 KK08 KK11 MM01  
MM02 MM12 MM13 NN06 NN07  
PP15 PP18 QQ09 QQ13 QQ35  
QQ37 QQ48 QQ74 QQ92 RR04  
RR09 RR11 SS11 SS15 TT02  
XX00 XX09 XX24  
5F058 BD02 BD07 BF07 BH01 BJ02  
BJ07